



PATENT
0941-0786P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: SHIH, Jun-Ren et al. Conf.:
Appl. No.: 10/617,782 Group:
Filed: July 14, 2003 Examiner:
For: SHIFT-REGISTER CIRCUIT AND SHIFT-
REGISTER UNIT

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 17, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	92109977	April 29, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By


Joe McKinney Muncy, #32,334

MK/mzk
0941-0786P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)



0941-3786P
10/607-892

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 04 月 29 日
Application Date

申請 案 號：092109977
Application No.

申請 人：財團法人工業技術研究院
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 7 月 21 日
Issue Date

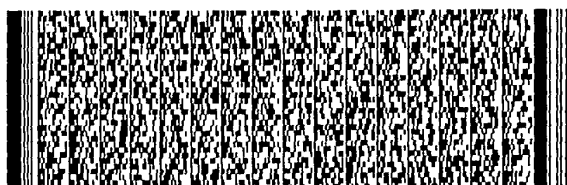
發文字號：09220731580
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	移位暫存器單元及其所組成之移位暫存器電路
	英文	Shifter register unit and shift register circuit comprising the shift register units
二、 發明人 (共4人)	姓名 (中文)	1. 施俊任 2. 陳尚立 3. 王博文
	姓名 (英文)	1. Jun-Ren Shih 2. Shang-Li Chen 3. Bowen Wang
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 彰化縣秀水鄉彰水路2段305號 2. 新竹市金城一路62號4樓 3. 台北縣樹林市東興街16巷6弄4號
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 財團法人工業技術研究院
	名稱或 姓名 (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹縣竹東鎮中興路四段一九五號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 翁政義
	代表人 (英文)	1. Weng, Cheng-I



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 林展瑞
	姓名 (英文)	4. Jan-Ruei LIN
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 台北縣中和市圓通路158巷5弄3-4號5樓
	住居所 (英文)	4.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：移位暫存器單元及其所組成之移位暫存器電路)

一種由複數個移位暫存器單元所組成之移位暫存器電路，其中，移位暫存器單元均由單一型態電晶體所組成，以便減少製程出錯的機率，進而達到降低成本之目的。

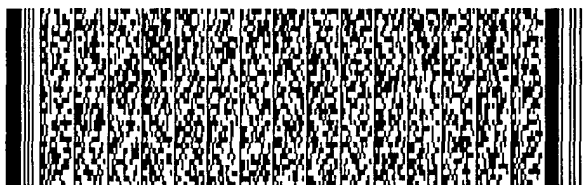
伍、(一)、本案代表圖為：第____3A____圖

(二)、本案代表圖之元件代表符號簡單說明：

P100~P104:P型電晶體。

六、英文發明摘要 (發明名稱：Shifter register unit and shift register circuit comprising the shift register units)

The present invention discloses a shift register circuit which consist of multiple shift register units. Every shift register unit consists of multiple transistors, thereby reduces cost of manufacture and errors during process.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明係有關於一種移位暫存器單元，特別是有關於一種利用單一型態的電晶體所組成之移位暫存器單元，如：均由P型薄膜電晶體，或是N型薄膜電晶體所組成；由移位暫存器單元所組成之移位暫存器電路一併揭露。

先前技術

目前，液晶顯示器(LCD)的驅動電路設計，其驅動電路分為閘極驅動電路以及源極驅動電路，其中閘極驅動電路及源極驅動電路均需使用移位暫存器(Shift Register)電路。

第1A、1B圖顯示一習知移位暫存器之電路結構，將第1C圖所示的時脈信號(Sin、clk1、clk2、clk3)，加在第1A、1B圖的電路上，則第1A、1B圖所示電路的輸出波形(out1、out2、out3、out4)則如第1C圖所示；為方便說明起見，L代表低電位，H代表高電位，L->H代表由低電位變為高電位，H->L代表由高電位變為低電位。

在第1A圖中，第一級的移位暫存器100，當clk3信號為L，使得電晶體101及電晶體103導通，若Sin信號為L，使得電晶體102導通，使第一級移位暫存器100的輸出端out1的波形和時脈信號clk1的波形相同，第二級以後的移位暫存器(110...等)的動作原理同第一級移位暫存器100，在此便不再贅述。

當第一級移位暫存器100由輸出端out1送出脈衝信號後，輸出端out1要維持在H，故Sin信號在送出L信號後，



五、發明說明 (2)

便維持在H，當clk3由H->L時，電晶體103導通，使得輸出端out1為H；但clk3由L->H時，電晶體103不導通，且電晶體102也不導通，使得輸出端out1為浮動(floating)狀態。

當輸出端out1為浮動狀態時，便無法使輸出端out1維持在H，用此信號穿過電晶體111易造成整個移位暫存器電路的誤動作，如第1C圖的out1、out2、out3、out4虛線部份所示。

第2A圖顯示習知移位暫存器(二)的電路結構。如圖所示，習知移位暫存器(二)雖可解決上述浮動狀態的問題，但第2圖所示之移位暫存器所需用到的電晶體數量較多，易造成電路體積過大的問題。目前市面上的LCD均以輕、薄為主要的訴求，若其內部的電路架構所佔的空間較大，則LCD整體的架構也會變大。

因此，上述習知之移位暫存器的缺點是：

1. 浮動狀態：移位暫存電路的輸出端狀態並不穩定，易造成電路的誤動作。

2. 體積大：需要較多的電晶體，使得電路板可使用的空間變小，且佈線複雜，同時零件的成本亦比較高。

發明內容

有鑑於此，本發明主要目的係為提供一種移位暫存器，其利用單一型態電晶體，不但減少電晶體數量、零件佈局的空間，並可以簡化電路的複雜度、降低製造成本以及減少製程所需的製造步驟。



五、發明說明 (3)

本發明之另一目的係為利用薄膜電晶體所組成之移位暫存器，可傳遞Full Swing(輸入信號最高~最低)的電位。

為達上述目的，本發明提出一種移位暫存器單元，包括：第一電晶體，其第一源/汲極耦接於第一節點，其閘極接收一重置信號，使移位暫存器單元停止送出脈衝信號；第二電晶體，其第一源/汲極耦接於第一電晶體之第二源/汲極，其第二源/汲極耦接於一第二節點，其閘極接收設定訊號，用以啟動上述移位暫存器單元。

第三電晶體，其閘極耦接於第一電晶體之第二源/汲極，第一源/汲極接收時脈信號，用以使移位暫存器單元輸出脈衝信號，第二源/汲極耦接於一輸出端；以及，第四電晶體，其第一源/汲極耦接於第一節點，其第二源/汲極耦接於輸出端，其閘極接收刷新信號，用以設定移位暫存器單元在一般狀態下之位準值。

其中，第一、第二、第三及第四電晶體均為薄膜電晶體或金屬氧化半導體(MOS)；當第一、第二、第三及第四電晶體均為P型時，則第一節點之電位大於第二節點之電位；第一、第二、第三及第四電晶體均為N型時，則第一節點之電位小於第二節點之電位。

另外，本發明提出一種多級移位暫存電路，包括：第1級至第n級移位暫存器單元(SR1 ~ SRn)，彼此依序串接，當第1級移位暫存器單元(SR1)接收初始設定信號後，第1級至第n級移位暫存器單元依序輸出一脈衝信號。



五、發明說明 (4)

每一級移位暫存器單元均至少包括：時脈端，用以耦接時脈信號；設定端，接收設定信號，用以驅動移位暫存器單元將時脈信號予以輸出作為脈衝信號；以及，重置端，接收重置信號，用以重置移位暫存器單元而停止將時脈信號之脈衝予以輸出。

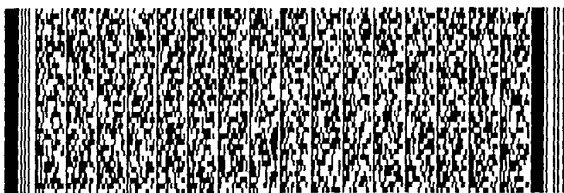
其中，第 k 級移位暫存器單元(SR_k ， $1 \leq k < n$)之重置端耦接第 $k+1$ 級移位暫存器單元(SR_{k+1})之輸出信號作為重置信號，第 n 級移位暫存器單元(SR_n)之重置端耦接第1級移位暫存器單元(SR_1)之輸出信號作為重置信號。

第 j 級移位暫存器單元(SR_j ， $1 < j \leq n$)之設定端耦接第 $j-1$ 級移位暫存器單元(SR_{j-1})之輸出信號作為設定信號，第1級移位暫存器單元(SR_1)之設定端耦接初始設定信號。

移位暫存器單元($SR_1 \sim SR_n$)中之奇數級的時脈端耦接第一時脈信號作為時脈信號；移位暫存器單元($SR_1 \sim SR_n$)中之偶數級的時脈端耦接第二時脈信號作為時脈信號。

本發明提出另一種多級移位暫存器電路，包括：第1級至第 $n+1$ 級移位暫存器單元($SR_1 \sim SR_{n+1}$)，彼此依序串接，當第1級移位暫存器單元(SR_1)接收一初始設定信號後，第1級至第 $n+1$ 級移位暫存器單元依序輸出一脈衝信號。

每一級移位暫存器單元均至少包括：一時脈端，用以耦接一時脈信號；一設定端，接收一設定信號，用以驅動移位暫存器單元將時脈信號予以輸出作為脈衝信號；以及



五、發明說明 (5)

，一重置端，接收一重置信號，用以重置移位暫存器單元而停止將時脈信號之脈衝予以輸出。

其中，第 k 級移位暫存器單元(SR_k ， $1 \leq k < n+1$)之重置端耦接第 $k+1$ 級移位暫存器單元(SR_{k+1})之輸出信號作為上述重置信號。

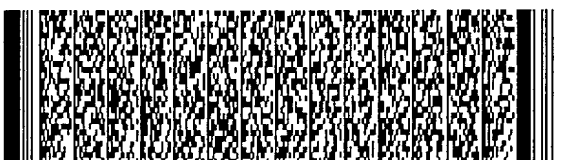
第 j 級移位暫存器單元(SR_j ， $1 < j \leq n+1$)之設定端耦接第 $j-1$ 級移位暫存器單元(SR_{j-1})之輸出信號作為設定信號，第 1 級移位暫存器單元(SR_1)之設定端耦接初始設定信號。

移位暫存器單元($SR_1 \sim SR_{n+1}$)中之第 $3a-2$ 級的時脈端耦接一第一時脈信號作為時脈信號；移位暫存器單元($SR_1 \sim SR_{n+1}$)中之第 $3a-1$ 級的時脈端耦接一第二時脈信號作為時脈信號；移位暫存器單元($SR_1 \sim SR_{n+1}$)中之第 $3a$ 級的時脈端耦接一第三時脈信號作為時脈信號。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第3A圖顯示P型電晶體所組成之移位暫存器單元第一實施例。如圖所示，包括：一電晶體P100，其第一源/汲極耦接於一第一節點 V_1 ，其閘極接收一重置信號Reset，使移位暫存器單元停止送出脈衝信號；一電晶體P101，其第一源/汲極耦接於電晶體P100之第二源/汲極，其第二源/汲極耦接於一第二節點 V_2 ，其閘極接收一設定訊號Set，用以



五、發明說明 (6)

啟動移位暫存器單元。

一電晶體P103，其閘極耦接於電晶體P100之第二源/汲極，第一源/汲極接收一時脈信號Clock，用以使移位暫存器單元輸出脈衝信號，第二源/汲極耦接於一輸出端OUT；以及，一電晶體P104，其第一源/汲極耦接於第一節點 V_1 ，其第二源/汲極耦接於輸出端OUT，其閘極接收一刷新信號Refresh，用以設定移位暫存器單元在一般狀態下之位準值。

其中，更包括：一電晶體P102，其第一源/汲極耦接於第一節點 V_1 ，其第二源/汲極耦接於電晶體P100之第二源/汲極，其閘極接收一預設信號P_reset，用以設定電晶體P103閘極之電壓位準。

由於電晶體P100、P101、P102、P103、P104均為P型，故第一節點 V_1 之電位大於第二節點 V_2 之電位；而其型態為薄膜電晶體(TFT)或是金屬氧化半導體(MOS)；本發明之實施例以P型薄膜電晶體為例。

第3B圖顯示本發明P型電晶體所組成之移位暫存器單元之動作時序圖。如圖所示，Sin信號作為設定信號Set，第一時脈信號CLK1為時序信號Clock，第二時脈信號CLK2信號為刷新信號Refresh。

由於第二時脈信號CLK2由H->L，使得輸出端OUT保持在H，當Sin信號由H->L時，電晶體P101導通，使得A點電位由H->L，使電晶體P103導通；當第一時脈信號CLK1由H->L時，輸出端OUT電位也會由H->L，且由於第一時脈信



五、發明說明 (7)

號CLK1由H->L時，其負緣往下的壓降，會使得A點的電位往下至負值，如此可以將低電壓傳過去，使得移位暫存電路利用薄膜電晶體，傳遞Full Swing(輸入信號最高~最低)。

當第一時脈信號CLK1由L->H時，則A點電位由負值轉換為L，輸出端OUT也由L->H；當第二時脈信號CLK2由H->L時，電晶體P104導通，使得輸出端OUT維持在H。

第3C圖顯示本發明P型電晶體所組成之移位暫存器單元第二實施例。為簡化起見，圖示中，相同零件以相同符號表示；與第3A圖不同的地方在於，第二實施例將電晶體P105之第二源/汲極耦接到設定信號Set，用以避免電晶體P105之第一及第二源/汲極長時間處於不同電位，因發生漏電而產生誤動作。

第4A圖顯示N型薄膜電晶體所組成之移位暫存器單元第一實施例。當電晶體N200、N201、N202、N203、N204為N型薄膜電晶體時，其電路架構如第4A圖所示；其中，第一節點 V_1 電位小於第二節點 V_2 電位。

第4B圖顯示N型薄膜電晶體所組成之移位暫存器單元之動作時序圖。如圖所示，與P型薄膜電晶體所組成之移位暫存器單元之動作時序圖互為反相。

第4C圖顯示N型薄膜電晶體所組成之移位暫存器單元第二實施例。與4A圖不同的地方在於，第4C圖將電晶體N205之第二源/汲極耦接到設定信號Set，用以避免電晶體N205之第一及第二源/汲極長時間處於不同電位，而發生



五、發明說明 (8)

漏電所產生的誤差。

利用本發明之P型或N型電晶體所組成之移位暫存器單元，可組成多級移位暫存器電路，為簡化起見，以下將針對四級移位暫存器電路說明。

第5A圖顯示本發明四級移位暫存器電路之第一實施例。如圖所示，第1級至第4級移位暫存器單元(SR1 ~ SR4)，彼此依序串接，當第1級移位暫存器單元(SR1)接收一初始設定信號Sin後，第1級至第4級移位暫存器單元(SR1~SR4)依序輸出一脈衝信號；

每一級移位暫存器單元(SR1~SR4)均至少包括：一時脈端Clock，用以耦接一時脈信號；一設定端Set，接收一設定信號，用以驅動移位暫存器單元將時脈信號予以輸出作為脈衝信號；以及，一重置端Reset，接收一重置信號，用以重置移位暫存器單元而停止將時脈信號之脈衝予以輸出。

每一級移位暫存器單元(SR1~SR4)更包括：一刷新端Refresh，用以耦接一刷新信號；一預設端P_reset，接收一預設信號，用以設定移位暫存器單元(SR1~SR4)在一般狀態下之位準值。

其中，每一級移位暫存器單元之重置端Reset耦接下一級移位暫存器單元之輸出信號作為重置信號，最後一級移位暫存器單元(SR4)之重置端Reset耦接第1級移位暫存器單元(SR1)之輸出信號作為重置信號。

每一級移位暫存器單元之設定端Set耦接上一級移位



五、發明說明 (9)

暫存器單元之輸出信號作為設定信號，第1級移位暫存器單元(SR1)之設定端Set耦接初始設定信號Sin。

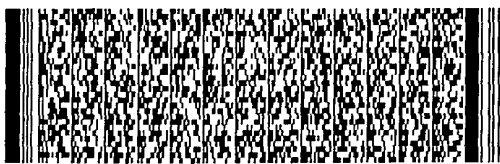
所有移位暫存器單元(SR1 ~ SR4)中之奇數級(SR1、SR3)的時脈端Clock耦接一第一時脈信號CLK1作為時脈信號；所有移位暫存器單元(SR1 ~ SR4)中之偶數級(SR2、SR4)的時脈端Clock耦接一第二時脈信號CLK2作為時脈信號。

所有移位暫存器單元(SR1 ~ SR4)中之奇數級(SR1、SR3)的刷新端Refresh耦接一第二時脈信號CLK2作為刷新信號；所有移位暫存器單元(SR1 ~ SR4)中之偶數級(SR2、SR4)的刷新端Refresh耦接一第一時脈信號CLK1作為刷新信號。

所有移位暫存器單元(SR1 ~ SR4)之預設端P_reset均耦接在一起，接收一預設信號，用以決定是否將時脈信號之脈衝予以輸出。

第5B圖顯示本發明四級移位暫存器電路第一實施例之動作時序圖。如圖所示，初始設定信號Sin四級移位暫存器電路後，根據本發明P型電晶體所組成之移位暫存器單元處理後，每一級移位暫存器單元會依序輸出一個時脈週期，且相連的每一級均會被錯開一個時脈週期的時間。

但由於最後一級移位暫存器單元(SR4)之重置端(Reset)耦接第一級移位暫存器單元(SR1)之輸出端OUT1，故當初始設定信號Sin尚未觸發第一級移位暫存器單元(SR1)時，第一級移位暫存器單元(SR1)之輸出端OUT1，便



五、發明說明 (10)

無法重置第四級移位暫存器單元(SR4)，使得第四級移位暫存器單元(SR4)之輸出端OUT4會被第二時脈信號CLK2的觸發，而錯誤地送出脈衝信號。

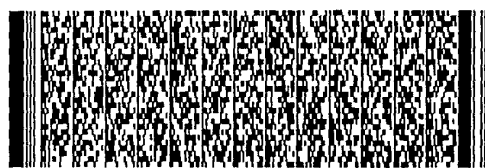
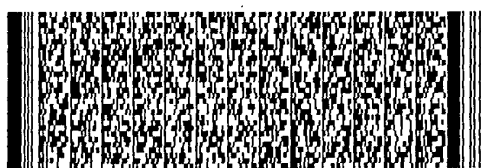
第6圖顯示多級移位暫存器電路之示意圖。每一級移位暫存器單元為第3A或3C或4A或4C圖所揭露之移位暫存器單元；為克服初始設定信號Sin太晚觸發第一級移位暫存器單元(SR1)的問題，在此實施例中，多增加一級的移位暫存器單元，用以重置最後一級移位暫存器單元的輸出脈衝信號；例如：四級移位暫存器電路需要使用五個移位暫存器單元。

如圖所示，包括：第1級至第n+1級移位暫存器單元(SR1 ~ SRn+1)，彼此依序串接，當第1級移位暫存器單元(SR1)接收一初始設定信號Sin後，上述第1級至第n+1級移位暫存器單元依序輸出一脈衝信號。

其中，第1級至第n+1級移位暫存器單元(SR1 ~ SRn+1)，為本發明所揭露之移位暫存器單元。第k級移位暫存器單元(SRk, $1 \leq k < n+1$)之重置端Reset耦接第k+1級移位暫存器單元(SRk+1)之輸出信號作為重置信號。

第j級移位暫存器單元(SRj, $1 < j \leq n+1$)之設定端Set耦接第j-1級移位暫存器單元(SRj-1)之輸出信號作為設定信號，第1級移位暫存器單元(SR1)之設定端耦接初始設定信號Sin。

移位暫存器單元(SR1 ~ SRn+1)中之第3a-2級的時脈



五、發明說明 (11)

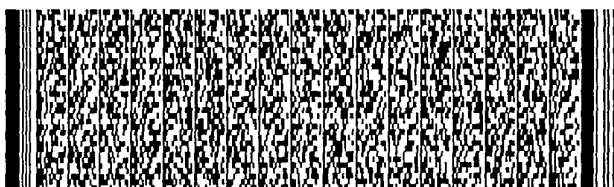
端Clock耦接一第一時脈信號作為時脈信號；移位暫存器單元(SR1 ~ SR_{n+1})中之第3a-1級的時脈端Clock耦接一第二時脈信號作為時脈信號；移位暫存器單元(SR1 ~ SR_{n+1})中之第3a級的時脈端Clock耦接一第三時脈信號作為時脈信號。

移位暫存器單元(SR1 ~ SR_{n+1})中之第3a-2級的刷新端Refresh耦接第二時脈信號作為時脈信號；移位暫存器單元(SR1 ~ SR_{n+1})中之第3a-1級的刷新端Refresh耦接第三時脈信號作為時脈信號；移位暫存器單元(SR1 ~ SR_{n+1})中之第3a級的刷新端Refresh耦接第一時脈信號作為時脈信號。

第n+1級移位暫存器單元(SR_{n+1})之時脈端Clock耦接時脈信號CLK_x，刷新端Refresh耦接時脈信號CLK_y；其中，CLK_x和CLK_y為CLK1或CLK2或CLK3；當(n+1)mod(3a)為0時，則x=3，y=1；當(n+1)mod(3a)為1時，則x=1，y=2；當(n+1)mod(3a)為2時，則x=2，y=3。

移位暫存器單元(SR1 ~ SR_{n+1})中之預設端P_reset均耦接在一起，接收一預設信號，用以決定是否將時脈信號之脈衝予以輸出。

第7A圖顯示本發明四級移位暫存器電路之第二實施例。為克服初始設定信號Sin太晚觸發第一級移位暫存器單元(SR1)的問題，在此實施例中，多增加一級的移位暫存器單元，使第四級移位暫存器單元(SR4)的重置端Reset接收一附加移位暫存器單元(以下簡稱：第五級移位暫存器單



五、發明說明 (12)

元(SR5))的輸出端OUT5，以避免第四級移位暫存器單元(SR4)輸出錯誤脈衝信號。

本發明四級移位暫存器電路之第二實施例耦接方式，如下所述：

每一級移位暫存器單元之重置端Reset耦接下一級移位暫存器單元之輸出信號作為重置信號；每一級移位暫存器單元之預設端P_reset均耦接在一起，接收一預設信號，用以決定是否將時脈信號之脈衝予以輸出。

每一級移位暫存器單元之設定端Set耦接上一級移位暫存器單元之輸出信號作為設定信號，第1級移位暫存器單元(SR1)之設定端Set耦接初始設定信號Sin。

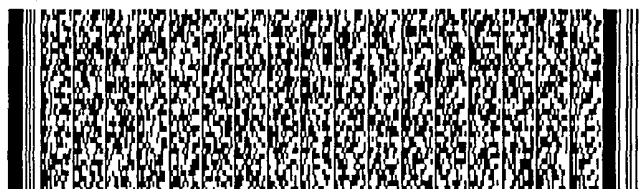
當 $a=1$ 時，則 $SR(3a-2)=SR1$ ，故第一級移位暫存器單元(SR1)之時脈端Clock耦接一第一時脈信號CLK1，刷新端Refresh耦接一第二時脈信號CLK2；

$SR(3a-1)=SR2$ ，故第二級移位暫存器單元(SR2)之時脈端Clock耦接第二時脈信號CLK2，刷新端Refresh耦接一第三時脈信號CLK3；

$SR(3a)=SR3$ ，故第三級移位暫存器單元(SR3)之時脈端Clock耦接第三時脈信號CLK3，刷新端Refresh耦接第一時脈信號CLK1。

當 $a=2$ 時， $SR(3a-2)=SR4$ ，故第四級移位暫存器單元(SR4)之時脈端Clock及刷新端Refresh耦接方式同第一級移位暫存器單元(SR1)；

$SR(3a-1)=SR5$ ，故第五級移位暫存器單元(SR5)之時



五、發明說明 (13)

脈端Clock及刷新端Refresh耦接方式同第二級移位暫存器單元(SR2)；其它級數移位暫存器單元依此類推。

第7B圖顯示本發明四級移位暫存器電路第二實施例之動作時序圖。如圖所示，初始設定信號Sin四級移位暫存器電路後，根據本發明P型電晶體所組成之移位暫存器單元處理後，每一級移位暫存器單元會依序輸出一個時脈週期，且相連的每一級均會被錯開一個時脈週期的時間。

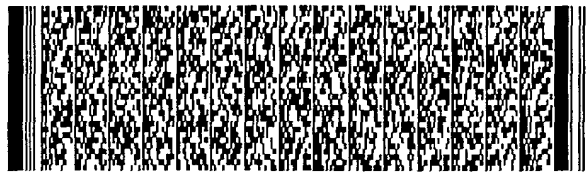
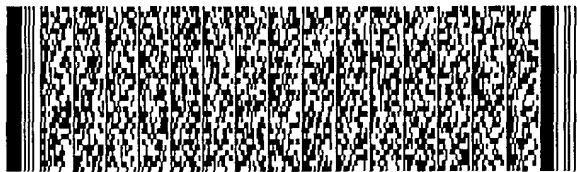
而第四級移位暫存器單元(SR4)之重置端(Reset)耦接第五級移位暫存器單元(SR5)之輸出端OUT5，故當第四級移位暫存器單元(SR4)接收到重置信號時，便不會再輸出脈衝信號，直到設定端Set接收到觸發信號，如此，便可確保第一~第四級移位暫存器單元(SR1~SR4)依序送出脈衝信號。

其中，本發明之第一、第二及第三時脈信號之頻率相同，但波寬比(duty cycle)不同；且本發明之多級移位暫存器電路亦可利用第4A及4C圖所揭露之移位暫存器單元，而組成多級移位暫存器電路。

綜上所述，本發明有以下幾點優於習知技術：

一、本發明巧妙地應用單一型態的導電型電晶體，作為移位暫存器的架構，更重要的是，本發明的重置動作更加精確，大大提升電路的正確性。

二、本發明移位暫存電路內部的電晶體數量，少於習知技術，在不影響電路的正常運作下，可以降低成本，使電路簡單化。



五、發明說明 (14)

三、利用薄膜電晶體可傳遞Full Swing(輸入信號最高~最低)的電位。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A、1B圖為習知的移位暫存器(一)的電路結構。

第1C圖習知的移位暫存器(一)的時脈圖。

第2圖為習知的移位暫存器(二)的電路結構。

第3A圖顯示P型電晶體所組成之移位暫存器單元第一實施例。

第3B圖顯示本發明P型電晶體所組成之移位暫存器單元之動作時序圖。

第3C圖顯示P型電晶體所組成之移位暫存器單元第二實施例。

第4A圖顯示N型電晶體所組成之移位暫存器單元第一實施例。

第4B圖顯示本發明N型電晶體所組成之移位暫存器單元之動作時序圖。

第4C圖顯示N型電晶體所組成之移位暫存器單元第二實施例。

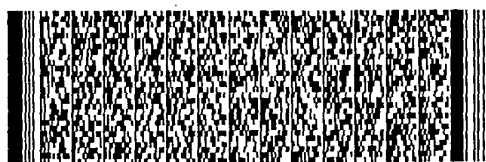
第5A圖顯示本發明四級移位暫存器電路之第一實施例。

第5B圖顯示本發明四級移位暫存器電路第一實施例之動作時序圖。

第6圖顯示多級移位暫存器電路之示意圖

第7A圖顯示本發明四級移位暫存器電路之第二實施例。

第7B圖顯示本發明四級移位暫存器電路第二實施例之動作時序圖。



圖式簡單說明

符號說明

100、SR1: 第一級移位暫存器;

110、SR2: 第二級移位暫存器;

SR3: 第三級移位暫存器;

SR4: 第四級移位暫存器;

SR5: 第五級移位暫存器;

P100~P105: P型電晶體; N100~N105: N型電晶體;

OUT: 移位暫存器單元輸出端;

OUT1: 第一級移位暫存器輸出端;

OUT2: 第二級移位暫存器輸出端;

OUT3: 第三級移位暫存器輸出端;

OUT4: 第四級移位暫存器輸出端;

OUT5: 第五級移位暫存器輸出端。



六、申請專利範圍

1. 一種移位暫存器單元，包括：

一第一電晶體，其第一源/汲極耦接於一第一節點，其閘極接收一重置信號，使上述移位暫存器單元停止送出脈衝信號；

一第二電晶體，其第一源/汲極耦接於上述第一電晶體之第二源/汲極，其第二源/汲極耦接於一第二節點，其閘極接收一設定訊號，用以啟動上述移位暫存器單元；

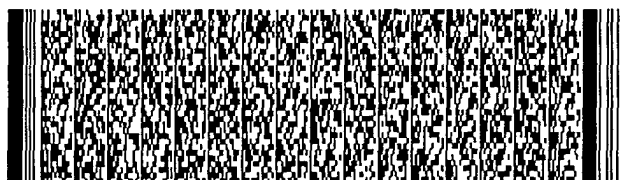
一第三電晶體，其閘極耦接於上述第一電晶體之第二源/汲極，第一源/汲極接收一時脈信號，用以使上述移位暫存器單元輸出脈衝信號，第二源/汲極耦接於一輸出端；以及

一第四電晶體，其第一源/汲極耦接於上述第一節點，其第二源/汲極耦接於上述輸出端，其閘極接收一刷新信號，用以設定上述移位暫存器單元在一般狀態下之位準值。

2. 如申請專利範圍第1項所述之移位暫存器單元，其中，更包括：

一第五電晶體，其第一源/汲極耦接於上述第一節點，其第二源/汲極耦接於上述第一電晶體之第二源/汲極，其閘極接收一預設信號，用以設定上述第三電晶體閘極之電壓位準。

3. 如申請專利範圍第2項所述之移位暫存器單元，其中，上述電晶體均為P型，上述第一節點耦接於一電壓源，上述第二節點耦接於上述設定信號，用以避免上述第二



六、申請專利範圍

電晶體之第一及第二源/汲極長時間處於不同電位，而發生漏電所產生的誤差。

4. 如申請專利範圍第2項所述之移位暫存器單元，其中，上述電晶體均為P型，上述第一節點之電位大於上述第二節點之電位。

5. 如申請專利範圍第2項所述之移位暫存器單元，其中，上述電晶體均為N型，上述第一節點耦接於一接地端(Gnd)，上述第二節點耦接於上述設定信號，用以避免上述第二電晶體之第一及第二源/汲極長時間處於不同電位，而發生漏電所產生的誤差。

6. 如申請專利範圍第2項所述之移位暫存器單元，其中，上述電晶體均為N型，上述第一電位節點之電壓小於上述第二電位節點之電壓。

7. 如申請專利範圍第2或3或4或5項所述之移位暫存器單元，其中，上述電晶體均為薄膜電晶體(TFT)。

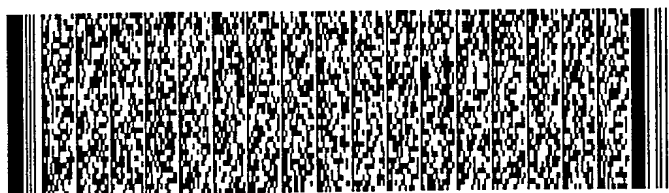
8. 如申請專利範圍第2或3或4或5項所述之移位暫存器單元，其中，上述電晶體均為金屬氧化半導體(MOS)。

9. 一種多級移位暫存電路，包括：

第1級至第n級移位暫存器單元(SR1 ~ SRn)，彼此依序串接，當第1級移位暫存器單元(SR1)接收一初始設定信號後，上述第1級至第n級移位暫存器單元依序輸出一脈衝信號；

每一級移位暫存器單元均至少包括：

一時脈端，用以耦接一時脈信號；



六、申請專利範圍

一設定端，接收一設定信號，用以驅動上述移位暫存器單元將上述時脈信號予以輸出作為上述脈衝信號；以及一重置端，接收一重置信號，用以重置上述移位暫存器單元而停止將上述時脈信號之脈衝予以輸出；

其中，上述第 k 級移位暫存器單元(SR_k ， $1 \leq k < n$)之重置端耦接上述第 $k+1$ 級移位暫存器單元(SR_{k+1})之輸出信號作為上述重置信號，上述第 n 級移位暫存器單元(SR_n)之重置端耦接上述第1級移位暫存器單元(SR_1)之輸出信號作為上述重置信號；

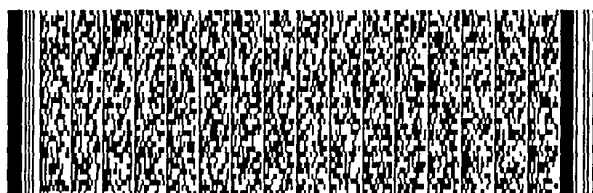
上述第 j 級移位暫存器單元(SR_j ， $1 < j \leq n$)之設定端耦接上述第 $j-1$ 級移位暫存器單元(SR_{j-1})之輸出信號作為上述設定信號，上述第1級移位暫存器單元(SR_1)之設定端耦接上述初始設定信號；

上述移位暫存器單元($SR_1 \sim SR_n$)中之奇數級的時脈端耦接一第一時脈信號作為上述時脈信號；上述移位暫存器單元($SR_1 \sim SR_n$)中之偶數級的時脈端耦接一第二時脈信號作為上述時脈信號。

10. 如申請專利範圍第9項所述之多級移位暫存電路，其中，上述移位暫存器單元，包括：

一第一電晶體，其第一源/汲極耦接於一第一節點，其閘極為上述重置端；

一第二電晶體，其第一源/汲極耦接於上述第一電晶體之第二源/汲極，其第二源/汲極耦接於一第二節點，其閘極為上述設定端；以及



六、申請專利範圍

一 第三電晶體，其閘極耦接於上述第一電晶體之第二源/汲極，其第一源/汲極為上述時脈端，第二源/汲極耦接於一輸出端。

11. 如申請專利範圍第10項所述之多級移位暫存電路，其中，上述移位暫存器單元，更包括：

一 第四電晶體，其第一源/汲極耦接於上述第一節點，其第二源/汲極耦接於上述輸出端，其閘極為一刷新端，接收一刷新信號，用以設定上述移位暫存器單元在一般狀態下之位準值；

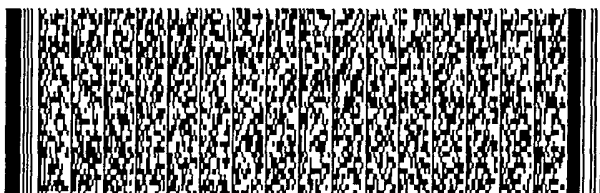
一 第五電晶體，其第一源/汲極耦接於上述第一節點，其第二源/汲極耦接於上述第一電晶體之第二源/汲極，其閘極為一預設端，接收一預設信號，用以設定上述第三電晶體閘極之電壓位準；

其中，上述移位暫存器單元(SR1 ~ SRn)中之偶數級的刷新端耦接上述第一時脈信號作為上述刷新信號；上述移位暫存器單元(SR1 ~ SRn)中之奇數級的刷新端耦接一第二時脈信號作為上述刷新信號；

上述移位暫存器單元(SR1 ~ SRn)中之預設端均接收上述預設信號。

12. 如申請專利範圍第11項所述之多級移位暫存電路，其中，上述第一及第二輸入時脈信號的頻率相同，但波寬比(duty cycle)不同。

13. 如申請專利範圍第12項所述之多級移位暫存電路，其中，上述電晶體均為P型，上述第一節點耦接於一電



六、申請專利範圍

壓源，上述第二節點耦接於上述設定信號，用以避免上述第二電晶體之第一及第二源/汲極長時間處於不同電位，而發生漏電所產生的誤差。

14. 如申請專利範圍第12項所述之多級移位暫存電路，其中，上述電晶體均為P型，上述第一節點之電位大於上述上述第二節點之電位。

15. 如申請專利範圍第12項所述之多級移位暫存電路，其中，上述電晶體均為N型，上述第一節點耦接於一接地端(Gnd)，上述第二節點耦接於上述設定信號，用以避免上述第二電晶體之第一及第二源/汲極長時間處於不同電位，而發生漏電所產生的誤差。

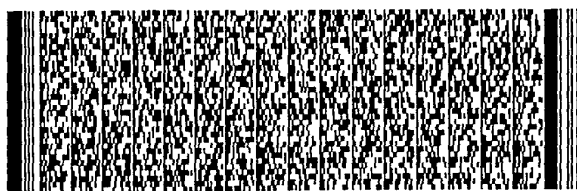
16. 如申請專利範圍第12項所述之多級移位暫存電路，其中，上述電晶體均為N型，上述第一電位節點之電壓小於上述第二電位節點之電壓。

17. 如申請專利範圍第13或14或15或16項所述之多級移位暫存電路，其中，上述電晶體均為薄膜電晶體(TFT)。

18. 如申請專利範圍第13或14或15或16項所述之多級移位暫存電路，其中，上述電晶體均為金屬氧化半導體(MOS)。

19. 一種多級移位暫存器電路，包括：

第1級至第n+1級移位暫存器單元(SR1 ~ SRn+1)，彼此依序串接，當第1級移位暫存器單元(SR1)接收一初始設定信號後，上述第1級至第n+1級移位暫存器單元依序輸出



六、申請專利範圍

一 脈衝信號；

每一級移位暫存器單元均至少包括：

一時脈端，用以耦接一時脈信號；

一設定端，接收一設定信號，用以驅動上述移位暫存器單元將上述時脈信號予以輸出作為上述脈衝信號；以及一重置端，接收一重置信號，用以重置上述移位暫存器單元而停止將上述時脈信號之脈衝予以輸出；

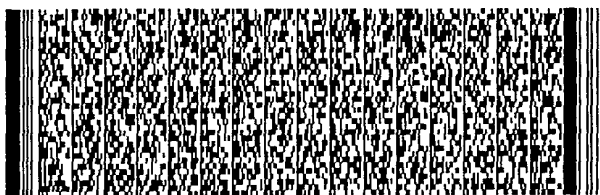
其中，上述第 k 級移位暫存器單元(SR_k ， $1 \leq k < n+1$)之重置端耦接上述第 $k+1$ 級移位暫存器單元(SR_{k+1})之輸出信號作為上述重置信號；

上述第 j 級移位暫存器單元(SR_j ， $1 < j \leq n+1$)之設定端耦接上述第 $j-1$ 級移位暫存器單元(SR_{j-1})之輸出信號作為上述設定信號，上述第 1 級移位暫存器單元(SR_1)之設定端耦接上述初始設定信號；

上述移位暫存器單元($SR_1 \sim SR_{n+1}$)中之第 $3a-2$ 級的時脈端耦接一第一時脈信號作為上述時脈信號；上述移位暫存器單元($SR_1 \sim SR_{n+1}$)中之第 $3a-1$ 級的時脈端耦接一第二時脈信號作為上述時脈信號；上述移位暫存器單元($SR_1 \sim SR_{n+1}$)中之第 $3a$ 級的時脈端耦接一第三時脈信號作為上述時脈信號。

20. 如申請專利範圍第19項所述之多級移位暫存器電路，其中，上述移位暫存器單元，包括：

一第一電晶體，其第一源/汲極耦接於一第一節點，其閘極為上述重置端；



六、申請專利範圍

一 第二電晶體，其第一源/汲極耦接於上述第一電晶體之第二源/汲極，其第二源/汲極耦接於一第二節點，其閘極為上述設定端；以及

一 第三電晶體，其閘極耦接於上述第一電晶體之第二源/汲極，其第一源/汲極為上述時脈端，第二源/汲極耦接於一輸出端。

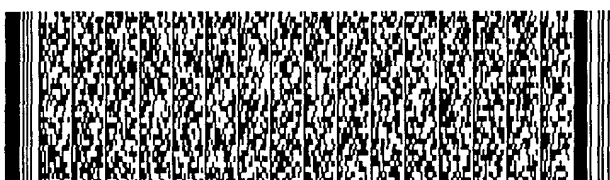
21. 如申請專利範圍第20項所述之多級移位暫存器電路，其中，上述移位暫存器單元，更包括：

一 第四電晶體，其第一源/汲極耦接於上述第一節點，其第二源/汲極耦接於上述輸出端，其閘極為一刷新端，接收一刷新信號，用以設定上述移位暫存器單元在一般狀態下之位準值；

一 第五電晶體，其第一源/汲極耦接於上述第一節點，其第二源/汲極耦接於上述第一電晶體之第二源/汲極，其閘極為一預設端，接收一預設信號，用以設定上述第三電晶體閘極之電壓位準；

其中，上述移位暫存器單元(SR1 ~ SRn)中之第3a-2級的時脈端耦接一第二時脈信號作為上述時脈信號；上述移位暫存器單元(SR1 ~ SRn)中之第3a-1級的時脈端耦接一第三時脈信號作為上述時脈信號；上述移位暫存器單元(SR1 ~ SRn)中之第3a級的時脈端耦接一第一時脈信號作為上述時脈信號；

上述移位暫存器單元(SR1 ~ SRn)中之預設端均接收上述預設信號。



六、申請專利範圍

22. 如申請專利範圍第21項所述之多級移位暫存器電路，其中，上述第一、第二及第三輸入時脈信號的頻率相同，但波寬比(duty cycle)不同。

23. 如申請專利範圍第22項所述之多級移位暫存器電路，其中，上述電晶體均為P型，上述第一節點耦接於一電壓源，上述第二節點耦接於上述設定信號，用以避免上述第二電晶體之第一及第二源/汲極長時間處於不同電位，而發生漏電所產生的誤差。

24. 如申請專利範圍第22項所述之多級移位暫存器電路，其中，上述電晶體均為P型，上述第一節點之電位大於上述上述第二節點之電位。

25. 如申請專利範圍第22項所述之多級移位暫存器電路，其中，上述電晶體均為N型，上述第一節點耦接於一接地端(Gnd)，上述第二節點耦接於上述設定信號，用以避免上述第二電晶體之第一及第二源/汲極長時間處於不同電位，而發生漏電所產生的誤差。

26. 如申請專利範圍第22項所述之多級移位暫存器電路，其中，上述電晶體均為N型，上述第一電位節點之電壓小於上述第二電位節點之電壓。

27. 如申請專利範圍第23或24或25或26項所述之多級移位暫存器電路，其中，上述電晶體均為薄膜電晶體(TFT)。

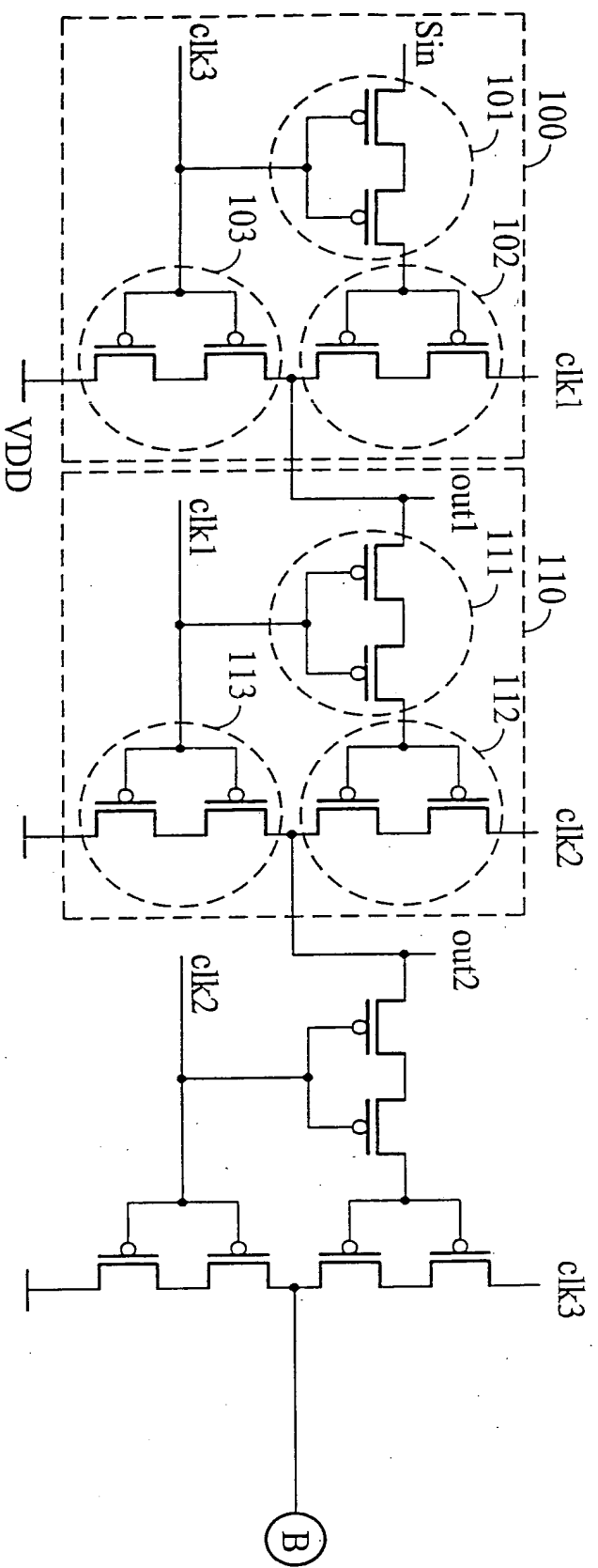
28. 如申請專利範圍第23或24或25或26項所述之多級移位暫存器電路，其中，上述電晶體均為金屬氧化半導體



六、申請專利範圍

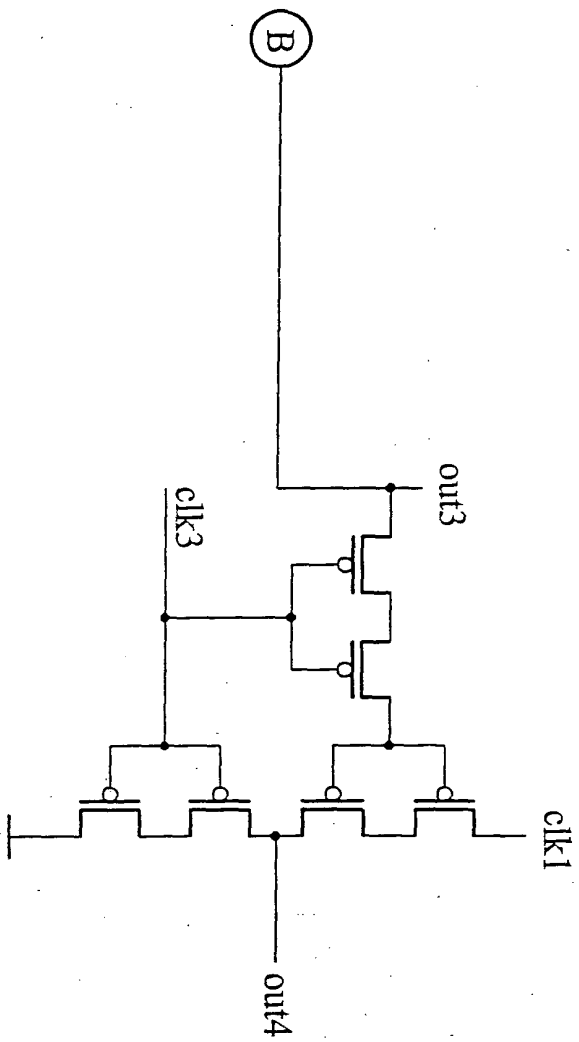
(MOS)。



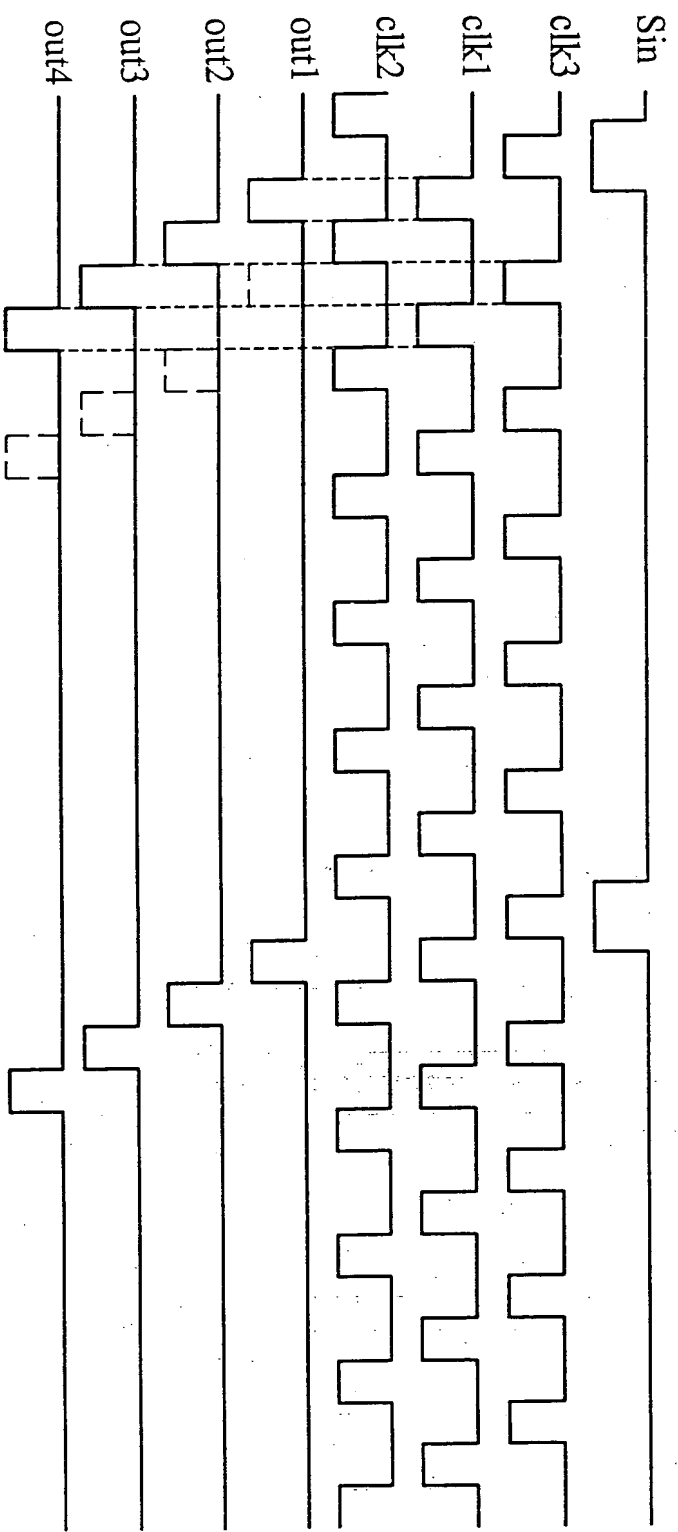


第1A圖 第1B圖

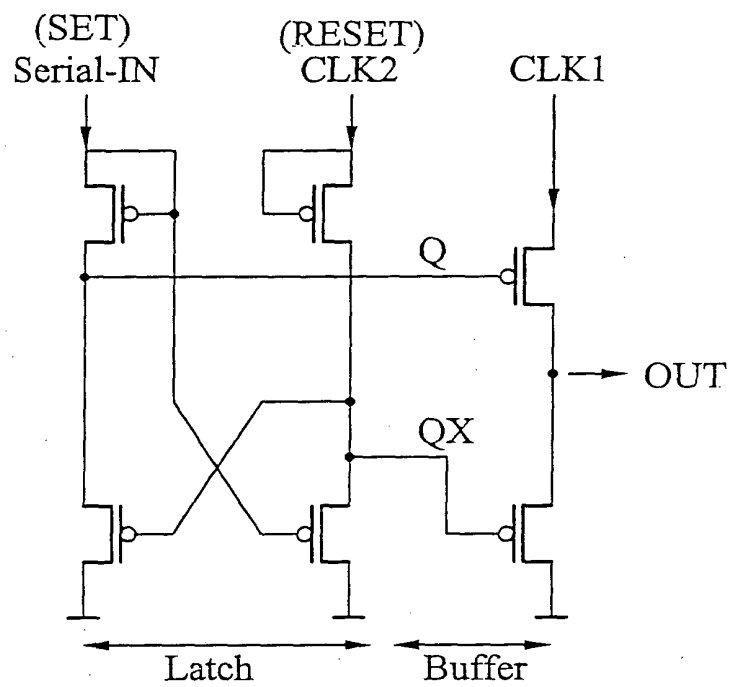
第1A圖



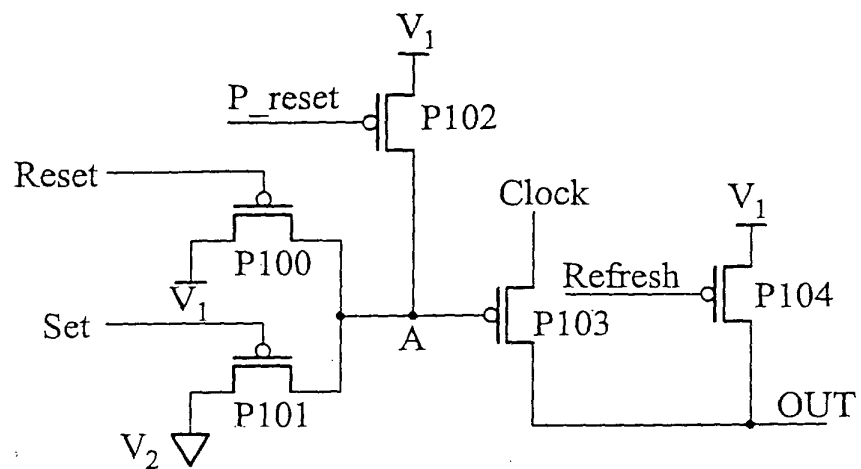
第1B圖



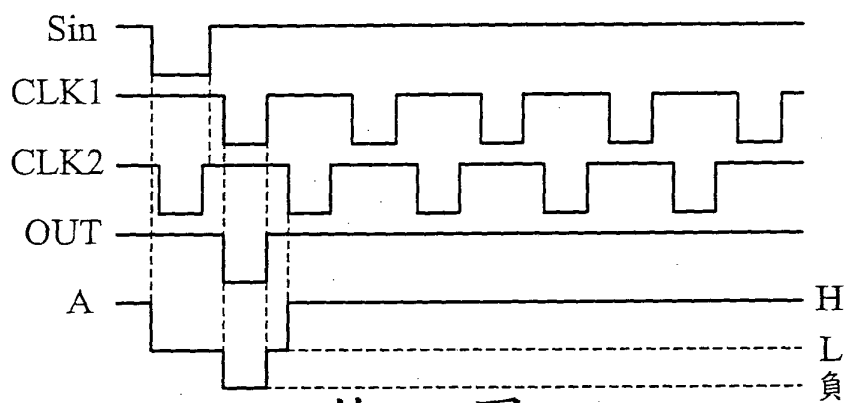
第1C圖



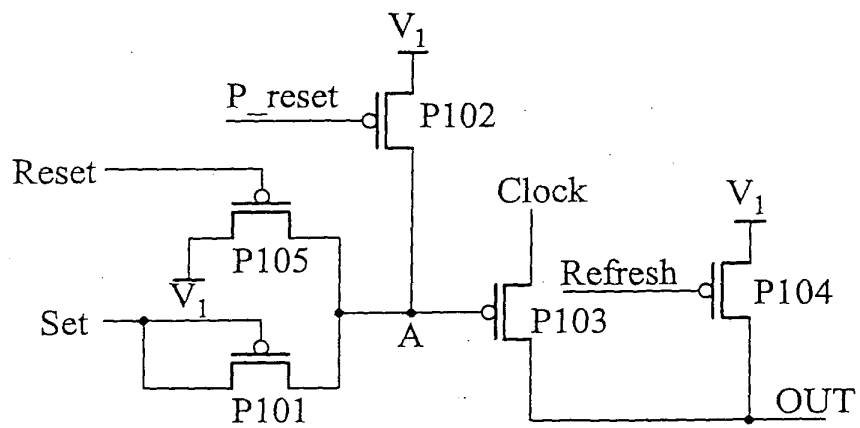
第 2 圖



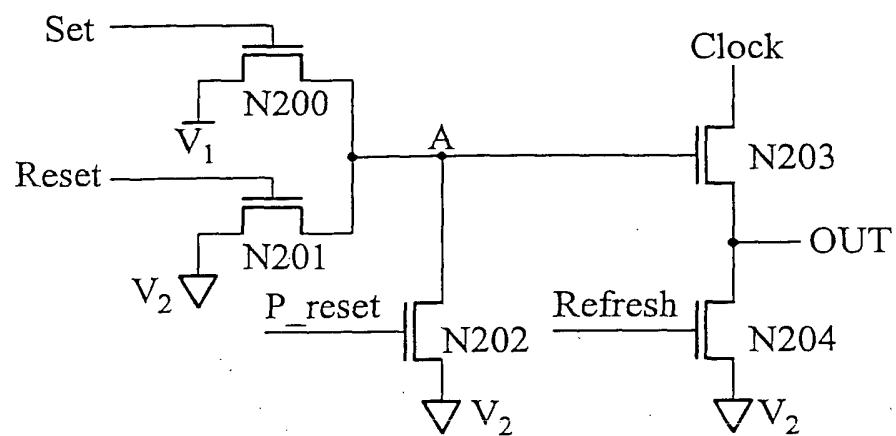
第3A圖



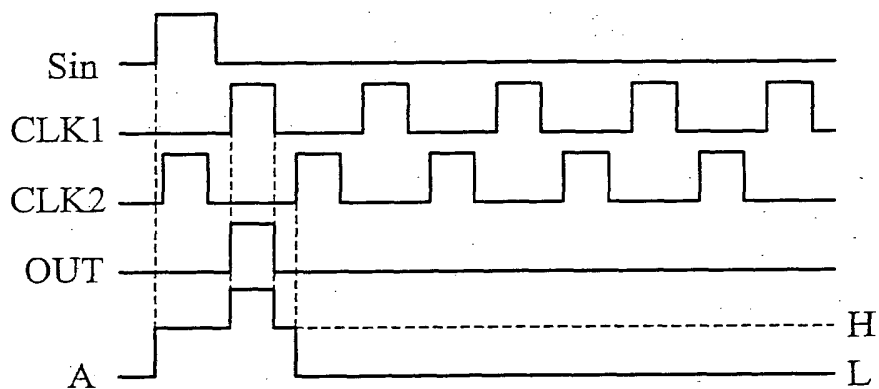
第3B圖



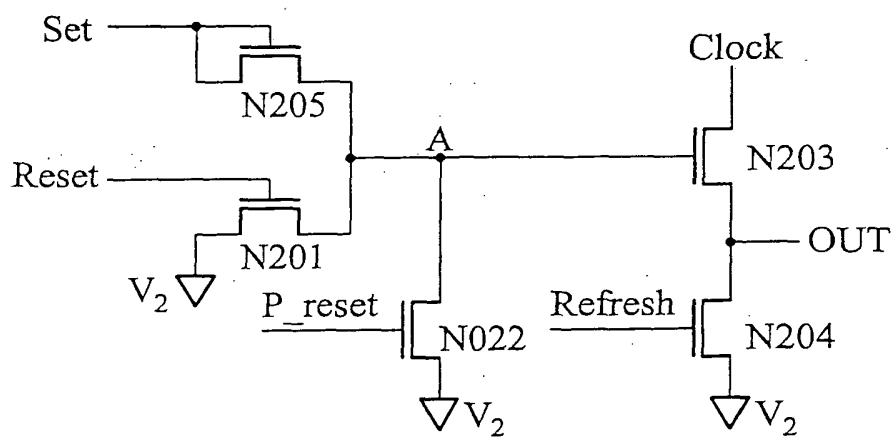
第3C圖



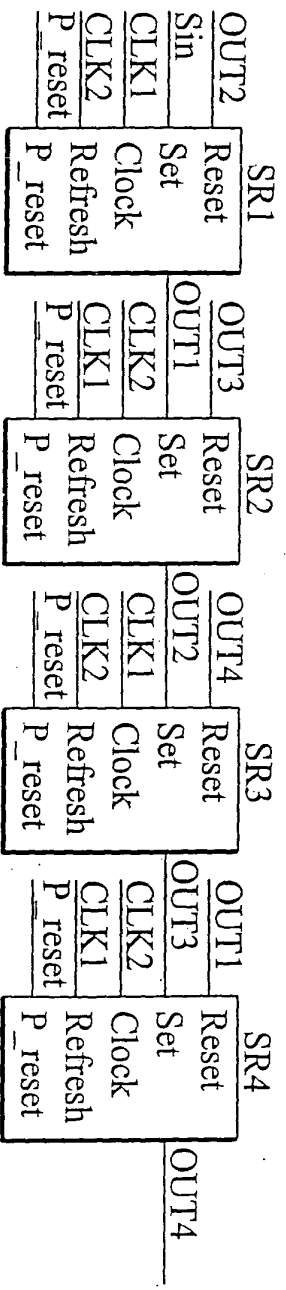
第 4A 圖



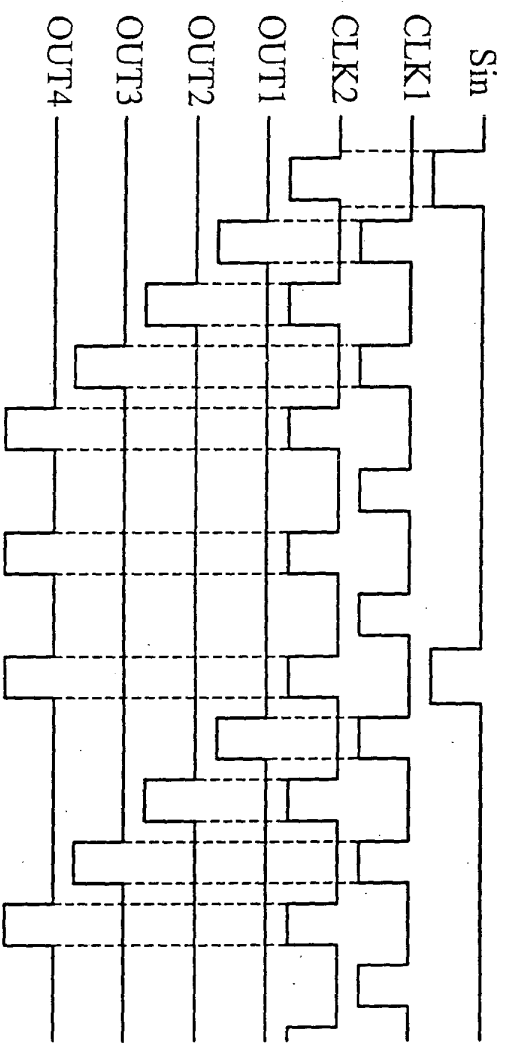
第 4B 圖



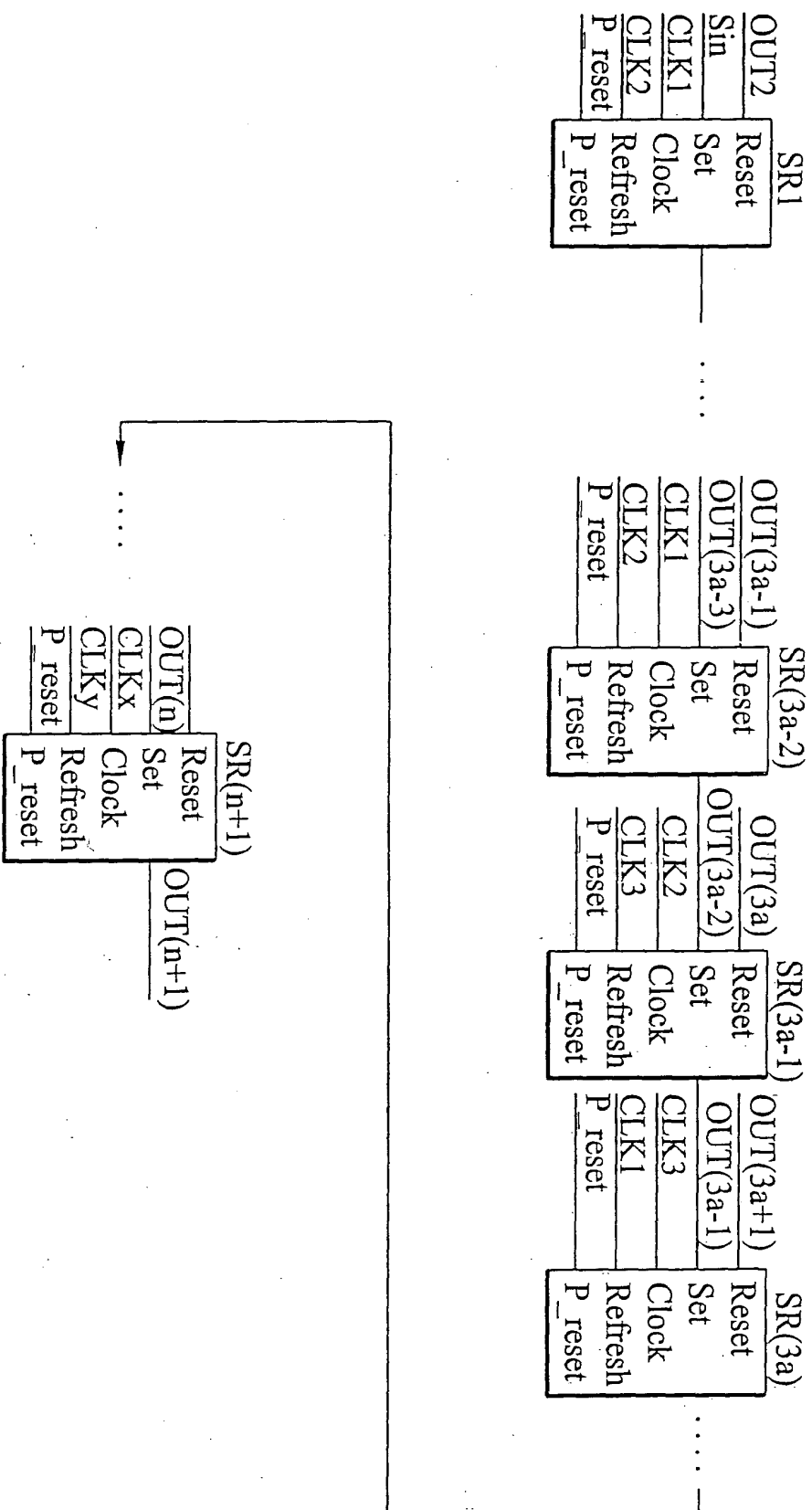
第 4C 圖



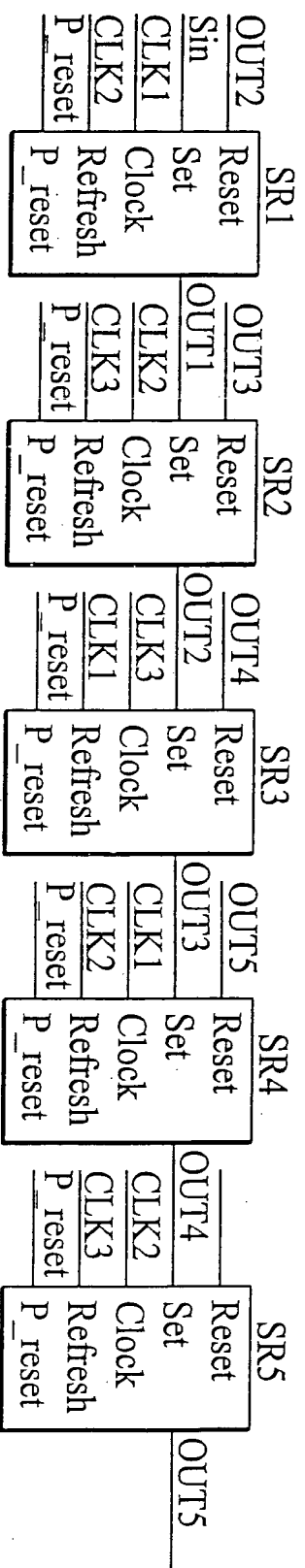
第5A圖



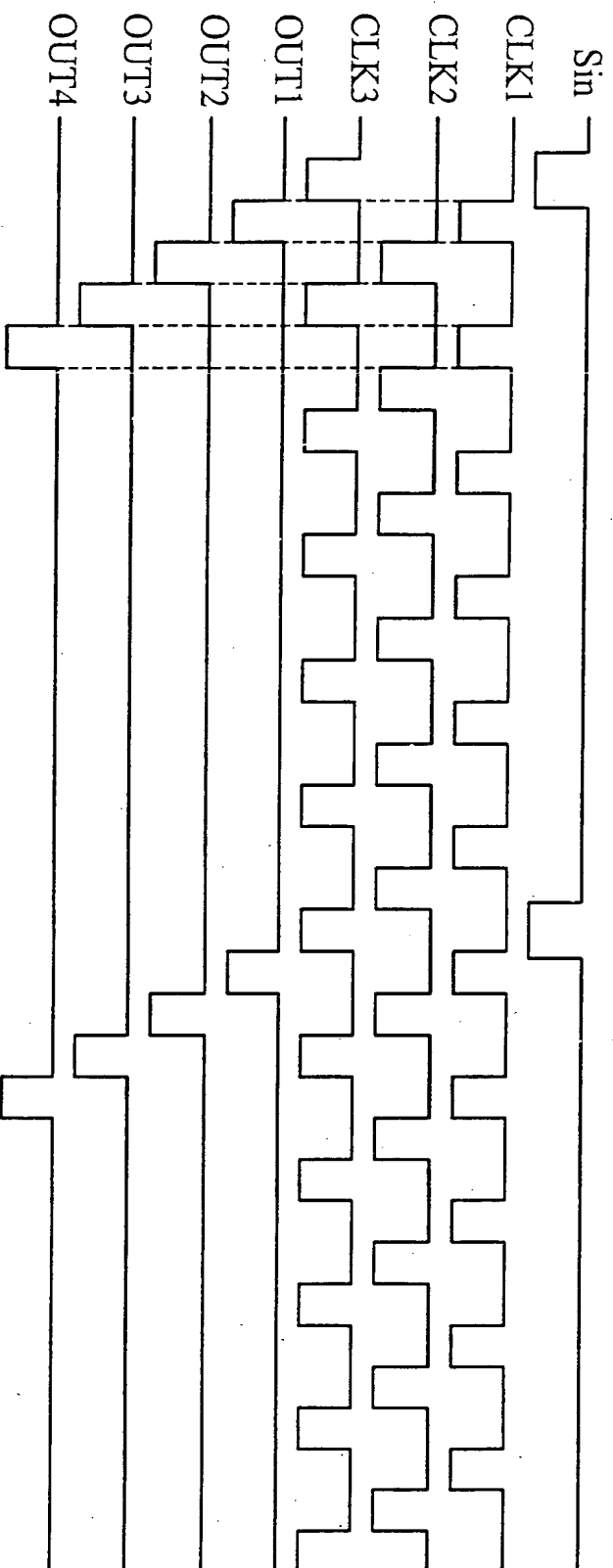
第5B圖



第 6 圖



第7A圖



第7B圖

100

100

[illegible][illegible]

100


[illegible]

100



1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525




1. The first step in the process is to identify the problem. This involves gathering information about the situation and understanding the needs of the stakeholders involved.



A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular, and interconnected shapes, creating a complex, almost crystalline or cellular appearance. The overall effect is one of high contrast and intricate detail, with no discernible text or recognizable objects.




This image is a high-resolution, black and white abstract pattern. It consists of a dense, irregular arrangement of small, dark, pixelated or speckled elements against a lighter background. The overall effect is a complex, textured surface that resembles a high-magnification scan of a material or a digital noise pattern. The pattern is uniform in its density across the frame, with no discernible shapes or figures.




100
 90
 80
 70
 60
 50
 40
 30
 20
 10
 0

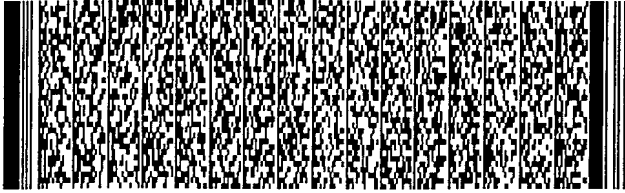
100



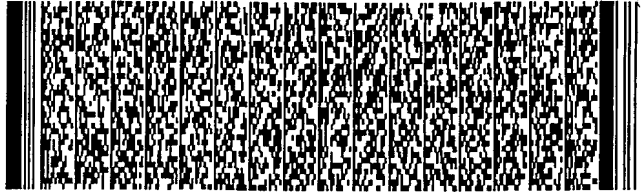
100



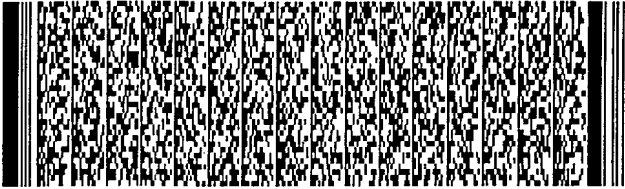
第 23/29 頁



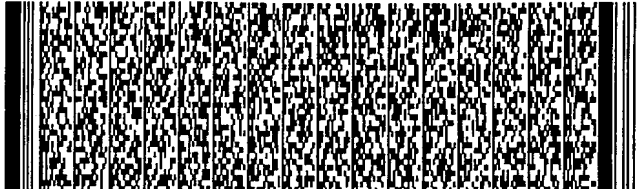
第 24/29 頁



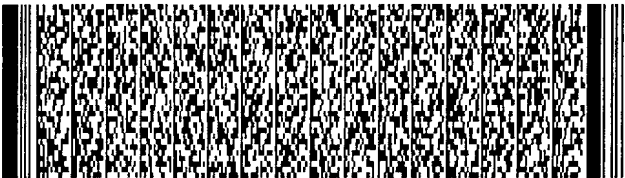
第 25/29 頁



第 26/29 頁



第 27/29 頁



第 28/29 頁



第 29/29 頁

